

2/Priority P  
T. Steptoe  
2/28/01

825 U.S. PTO  
09/745468



PATENT

Docket No.: 49657-862

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Naoki TSUJI

Serial No.:

Group Art Unit:

Filed: December 26, 2000

Examiner:

For: A SEMICONDUCTOR DEVICE AND A PRODUCTION METHOD FOR THE SAME

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2000-221942,  
Filed July 24, 2000

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Stephen A. Becker  
Registration No. 26,527

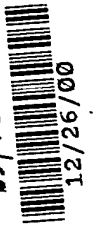
600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:ykg  
**Date: December 26, 2000**  
Facsimile: (202) 756-8087

December 26, 2000  
TSUJI

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JC825 U.S. PTO

09/745468



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 7月24日

出 願 番 号

Application Number:

特願2000-221942

出 願 人

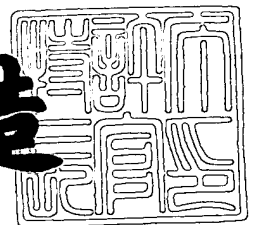
Applicant (s):

三菱電機株式会社

2000年 8月11日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3063937

【書類名】 特許願

【整理番号】 524843JP01

【提出日】 平成12年 7月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 辻 直樹

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 第 1 の厚みの第 1 ゲート酸化膜を有する第 1 トランジスタが形成される第 1 領域と、

第 2 の厚みの第 2 ゲート酸化膜を有する第 2 トランジスタが形成される第 2 領域と、

前記第 1 および第 2 領域内に選択的に形成されたトレンチ分離領域と、

前記第 1 と第 2 領域間に位置し、複数のダミートレンチ分離領域を有するダミー領域と、

前記複数のダミートレンチ分離領域間に形成され、マスク膜の位置決めのために用いられる位置決めマークと、

を備えた、半導体装置。

【請求項 2】 前記半導体装置は、メモリセルトランジスタが形成されるメモリセル領域と、前記メモリセルトランジスタの動作制御を行なう周辺回路が形成される周辺回路領域とを備え、

前記第 1 領域は、前記メモリセル領域を含み、

前記第 2 領域は、前記周辺回路領域を含む、請求項 1 に記載の半導体装置。

【請求項 3】 前記半導体装置は、不揮発性半導体記憶装置を含む、請求項 2 に記載の半導体装置。

【請求項 4】 前記位置決めマークは、前記ダミートレンチ分離領域を接続するように形成されるトレンチ部を含む、請求項 1 から請求項 3 のいずれかに記載の半導体装置。

【請求項 5】 半導体基板の第 1 および第 2 領域内にトレンチ分離領域を選択的に形成する工程と、

前記トレンチ分離領域を覆うように耐酸化性膜を形成する工程と、

前記第 1 領域上に位置する前記耐酸化性膜を除去し、前記第 2 領域上に前記耐酸化性膜を残す工程と、

前記第 2 領域を前記耐酸化性膜で覆った状態で、前記第 1 領域上に第 1 ゲート

酸化膜を介して第1トランジスタの第1ゲートを形成する工程と、

前記第2領域上に位置する前記耐酸化性膜を除去する工程と、

前記第2領域上に第2ゲート酸化膜を介して第2トランジスタの第2ゲートを形成する工程と、

を備えた、半導体装置の製造方法。

【請求項6】 前記耐酸化性膜を形成する工程は、

前記半導体基板上に酸化膜を形成する工程と、

前記酸化膜上に前記耐酸化性膜を形成する工程とを含み、

前記第1領域上に位置する前記耐酸化性膜を除去した後に、前記耐酸化性膜をマスクとしてウェットエッチングを行なうことにより前記酸化膜を除去する工程をさらに備えた、請求項5に記載の半導体装置の製造方法。

【請求項7】 前記耐酸化性膜を形成する工程は、

前記半導体基板上に酸化膜を形成する工程と、

前記耐酸化性膜の厚みが前記酸化膜の厚みよりも小さくなるように前記酸化膜上に前記耐酸化性膜を形成する工程を含む、請求項5に記載の半導体装置の製造方法。

【請求項8】 前記第1領域上に位置する前記耐酸化性膜を除去する工程は

、  
前記第1領域上に開口を有するマスク膜を前記耐酸化性膜上に形成する工程と

、  
前記マスク膜を用いて前記耐酸化性膜を選択的に除去する工程とを含み、

前記マスク膜を用いて前記半導体基板の第1領域にチャネルドープを行なう工程をさらに備えた、請求項5に記載の半導体装置の製造方法。

【請求項9】 前記第1と第2領域間にダミーゲートを有する境界領域が設けられ、

前記第1領域上に位置する前記耐酸化性膜を除去する工程は、

前記境界領域に達する第1マスク膜を前記耐酸化性膜上に形成する工程と、

前記第1マスク膜を用いて前記耐酸化性膜を選択的に除去する工程とを含み、

前記第2領域上に位置する前記耐酸化性膜を除去する工程は、

前記耐酸化性膜と重なるように第 2 マスク膜を前記第 1 ゲート上に形成する工程と、

前記第 2 マスク膜を用いて前記耐酸化性膜を選択的に除去する工程とを含み、  
前記第 2 ゲートを形成する工程は、前記耐酸化性膜を覆うように前記ダミーゲートを形成する工程を含む、請求項 5 に記載の半導体装置の製造方法。

【請求項 1 0】 前記半導体装置は、メモリセルトランジスタが形成されるメモリセル領域と、前記メモリセルトランジスタの動作制御を行なう周辺回路が形成される周辺回路領域とを備え、

前記第 1 領域は、前記メモリセル領域を含み、

前記第 2 領域は、前記周辺回路領域を含む、請求項 5 から請求項 9 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、より特定的には、素子間を電氣的に分離するためのトレンチ分離と、少なくとも 2 種類以上の厚みのゲート酸化膜を有するトランジスタとを備えた半導体装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

素子間分離のために従来の L O C O S (Local oxidation of silicon) に代えてトレンチ分離を用いる場合、半導体基板にトレンチを形成し、このトレンチ内にたとえば C V D (Chemical Vapor deposition) 法等により酸化膜を埋め込む。その後、シリコン基板の主表面上に、M O S (Metal Oxide Semiconductor) トランジスタ等の素子が形成される。

【0 0 0 3】

【発明が解決しようとする課題】

半導体装置の製造プロセスにおいて、トレンチ分離形成後に酸化プロセスは必須である。たとえば、シリコン基板の主表面上に M O S トランジスタを形成する

際には、トレンチ分離形成後に半導体基板の主表面を熱酸化してゲート酸化膜を形成する。

【0004】

このとき、酸化剤がトレンチ内に埋め込んだシリコン酸化膜中を拡散し、トレンチ内壁のシリコンと反応し、トレンチ内壁が酸化される。それにより、トレンチ内壁のシリコンがシリコン酸化膜となる。このようにシリコンがシリコン酸化膜に変化した場合、シリコン酸化膜の体積は酸化されたシリコンの体積の約2倍となる。

【0005】

その結果、トレンチ内に埋め込まれたシリコン酸化膜が膨張したことと等価な状態となり、トレンチの周囲の活性領域が圧縮応力を受け、シリコン基板に結晶欠陥が発生する。このような欠陥が発生することにより、接合リーク電流が増大し、半導体装置の消費電力が増大するという問題が生じていた。

【0006】

上記問題は、複数回の酸化処理がトレンチ分離領域に加わる場合、すなわち2種類以上の厚みのゲート酸化膜を有するトランジスタを備えた半導体装置において生じ易く、特に、酸化プロセス量の多い不揮発性半導体記憶装置に対し上記の問題は顕著である。したがって、トレンチ分離が受ける酸化量の低減が望まれている。

【0007】

本発明は上記の課題を解決するためになされたものである。本発明の目的は、トレンチ分離を有する半導体装置において、トレンチ分離領域が過度に酸化されることに起因する欠陥発生を抑制することにある。

【0008】

【課題を解決するための手段】

本発明に係る半導体装置は、第1の厚みの第1ゲート酸化膜を有する第1トランジスタが形成される第1領域と、第2の厚みの第2ゲート酸化膜を有する第2トランジスタが形成される第2領域と、第1および第2領域内に選択的に形成されたトレンチ分離領域と、第1と第2領域間に位置し複数のダミートレンチ分離



領域を有するダミー領域と、複数のダミートレンチ分離領域間に形成されマスク膜の位置決めのために用いられる位置決めマークとを備える。

【0009】

このように位置決めマークを設けることにより、後工程でレジスト等のマスク膜の位置決めを行なうことができ、マスク膜の寸法、位置制御性を向上することができる。それにより、たとえば後述する耐酸化性膜を形成する場合には、耐酸化性膜の端部を確実に所望の位置に配置することができ、第1ゲート酸化膜形成時に耐酸化性膜で確実に第2領域内のトレンチ分離領域を覆うことができる。それにより、トレンチ分離領域が酸化されるのを抑制することができる。

【0010】

上記半導体装置は、好ましくは、メモリセルトランジスタが形成されるメモリセル領域と、前記メモリセルトランジスタの動作制御を行なう周辺回路が形成される周辺回路領域とを備える。この場合、上記第1領域はメモリセル領域を含み、第2領域は周辺回路領域を含む。さらに好ましくは、半導体装置は、不揮発性半導体記憶装置である。

【0011】

本発明は、このようにメモリセル領域と周辺回路領域とを備える半導体装置に対し特に有用である。

【0012】

位置決めマークは、ダミートレンチ分離領域を接続するように形成されるトレンチ部を含む。

【0013】

それにより、位置決めマークをダミートレンチ分離領域と同一工程で形成することができ、製造コスト増大を回避することができる。

【0014】

本発明に係る半導体装置の製造方法は、下記の各工程を備える。半導体基板の第1および第2領域内にトレンチ分離領域を選択的に形成する。トレンチ分離領域を覆うように耐酸化性膜を形成する。第1領域上に位置する耐酸化性膜を除去し、第2領域上に耐酸化性膜を残す。第2領域を耐酸化性膜で覆った状態で、第

1領域上に第1ゲート酸化膜を介して第1トランジスタの第1ゲートを形成する。第2領域上に位置する耐酸化性膜を除去する。第2領域上に第2ゲート酸化膜を介して第2トランジスタの第2ゲートを形成する。なお、耐酸化性膜とは、耐酸化性を有する膜のことであり、典型的には、シリコン窒化膜、オキシナイトライド膜等を挙げることができる。また、本発明の耐酸化性膜は、少なくとも一部に耐酸化性を有する膜を含むものであってもよい。

【0015】

上記のように第2領域を耐酸化性膜で覆った状態で第1領域上に第1ゲート酸化膜を介して第1ゲートを形成することにより、第1ゲート酸化膜形成時に、第2領域内のトレンチ分離領域が酸化されるのを抑制することができる。

【0016】

耐酸化性膜を形成する工程は、好ましくは、半導体基板上に酸化膜を形成する工程と、酸化膜上に耐酸化性膜を形成する工程とを含む。この場合、第1領域上に位置する耐酸化性膜を除去した後に、この耐酸化性膜をマスクとしてウェットエッチングを行なうことにより酸化膜を除去する。

【0017】

従来プロセスでは、酸化膜をエッチングするにはレジストをマスクとしてHF (Hydrogen Fluoride)を用いて行なっていた。しかし、この場合には、レジスト下にHFが染み込み、レジストが倒れたり、エッチングされるべきではない領域がエッチングされたり、乾燥時にシミの発生もあった。そこで、シリコン窒化膜、オキシナイトライド膜等の耐酸化性膜をマスクとして酸化膜をエッチングすることにより、HFの染み込みを抑制することができ、HFの染み込みに起因する上記の問題を解消することができる。また、乾燥にイソプロピルアルコール (IPA)等の有機溶剤を使用することができるので、シミの発生も抑制することができる。

【0018】

酸化膜上に耐酸化性膜を形成する場合、好ましくは、耐酸化性膜の厚みを酸化膜の厚みよりも小さくする。

【0019】

それにより、耐酸化性膜をエッチング除去する際にエッチングを酸化膜で安定して止めることができ、基板がエッチングされるのを回避することができる。

【0020】

第1領域上に位置する耐酸化性膜を除去する工程は、好ましくは、第1領域上に開口を有するマスク膜を耐酸化性膜上に形成する工程と、マスク膜を用いて耐酸化性膜を選択的に除去する工程とを含む。この場合、マスク膜を用いて半導体基板の第1領域に第1トランジスタの閾値制御用のチャネルドープを行なう。

【0021】

それにより、耐酸化性膜を除去するためのマスク膜を第1領域に形成されるトランジスタの閾値制御用のチャネルドープのためのマスク膜として流用することができ、写真製版プロセスの増加を抑制することができる。

【0022】

第1と第2領域間に、好ましくは、ダミーゲートを有する境界領域が設けられる。この場合、第1領域上に位置する耐酸化性膜を除去する工程は、境界領域に達する第1マスク膜を耐酸化性膜上に形成する工程と、第1マスク膜を用いて耐酸化性膜を選択的に除去する工程とを含む。また、第2領域上に位置する耐酸化性膜を除去する工程は、耐酸化性膜と重なるように第2マスク膜を第1ゲート上に形成する工程と、第2マスク膜を用いて耐酸化性膜を選択的に除去する工程とを含む。さらに、第2ゲートを形成する工程は、耐酸化性膜を覆うようにダミーゲートを形成する工程を含む。

【0023】

上記のように耐酸化性膜と重なるように形成された第2マスク膜を用いて耐酸化性膜を選択的に除去することにより、第1ゲート酸化膜形成時に、境界領域あるいはその近傍に位置するトレンチ分離領域が酸化されるのを確実に阻止することができる。

【0024】

本発明に係る製造方法が適用される半導体装置は、好ましくは、メモリセルトランジスタが形成されるメモリセル領域と、前記メモリセルトランジスタの動作制御を行なう周辺回路が形成される周辺回路領域とを備える。この場合、上記第

1 領域はメモリセル領域を含み、第 2 領域は周辺回路領域を含む。

【0025】

【発明の実施の形態】

以下、図 1～図 19 を用いて、本発明の実施の形態について説明する。

【0026】

(実施の形態 1)

図 1～図 14 は、本実施の形態 1 における半導体装置の製造工程の第 1 工程～第 14 工程を示す断面図である。図 15 は、本実施の形態 1 における半導体装置を示す断面図である。

【0027】

本実施の形態 1 では、素子分離としてトレンチ分離を有し、2 種類以上の厚みのゲート酸化膜を持つ AND 型不揮発性半導体記憶装置を例にとって説明する。しかし、AND 型不揮発性半導体記憶装置以外の半導体装置でも、トレンチ分離と 2 種類以上の厚みのゲート酸化膜を有する半導体装置であれば、本発明は適用可能である。

【0028】

図 1 に示すように、シリコン基板 1 の主表面上に、熱酸化によるシリコン酸化膜 2 と CVD 法等によるシリコン窒化膜 3 とを形成する。シリコン酸化膜 2 の厚みは 18 nm であり、シリコン窒化膜 3 の厚みは 140 nm である。次に、フォトレジストをマスクにしたドライエッチング等により、シリコン基板 1 にトレンチ 1a を形成する。

【0029】

トレンチ 1a の内壁を 50 nm 程度酸化した後、CVD 法等を用いて、トレンチ 1a を覆うようにシリコン基板 1 上にシリコン酸化膜を堆積する。このシリコン酸化膜に CMP (Chemical mechanical polishing) 処理を施し、図 2 に示すように、トレンチ 1a 内にシリコン酸化膜 4 を埋め込む。

【0030】

その後、フッ酸によるシリコン酸化膜のエッチングと熱リン酸によるシリコン窒化膜 3 のエッチングを行ない、図 3 に示すように素子分離（トレンチ分離）を形

成する。このとき、シリコン基板 1 の活性領域上には、シリコン酸化膜 2 が 1 5 n m 程度残っている。この酸化膜を犠牲酸化膜として p ウェルおよび n ウェル形成のための不純物注入、周辺回路領域のチャネルドープをそれぞれのマスクを用いて実施し、図 4 のようにシリコン基板 1 内に所望の不純物プロファイルを形成する。

#### 【 0 0 3 1 】

次に、図 5 に示すように、C V D 法等を用いて、5 ~ 1 5 n m 程度のシリコン窒化膜 5 を堆積する。このシリコン窒化膜 5 は、トンネル酸化膜形成時に、周辺回路領域の酸化を防止する酸化防止膜として機能する。したがって、シリコン窒化膜 5 は、酸化を抑制するのに十分な厚みを有し、かつメモリセル領域のシリコン窒化膜 5 を除去する際にシリコン基板 1 までエッチングが達しないように犠牲酸化膜であるシリコン酸化膜 2 の厚み以下の厚みを有することが好ましい。

#### 【 0 0 3 2 】

次に、図 6 に示すように、メモリセル領域上に開口を有するレジストパターン 6 を形成する。このレジストパターン 6 は、メモリセルトランジスタの閾値電圧を制御するためのチャネルドープ用マスクであるとともに、メモリセル領域におけるシリコン窒化膜 5 を除去する際のマスクも兼ねる。したがって、周辺回路部のみをシリコン窒化膜 5 で覆う本発明のプロセスを採用しても、従来のプロセスと比較して写真製版プロセスが増加することはない。

#### 【 0 0 3 3 】

次に、図 7 に示すように、レジストパターン 6 をマスクとしてドライエッチングを行なうことにより、メモリセル領域上のシリコン窒化膜 5 を除去する。このとき、シリコン酸化膜 2 もオーバーエッチング時にエッチングされる。

#### 【 0 0 3 4 】

しかし、シリコン窒化膜 5 のエッチングがシリコン酸化膜 2 のそれよりも速く進む条件でドライエッチングを行なうことにより、シリコン酸化膜 2 でエッチングを止めることができる。また、シリコン窒化膜 5 の厚みをシリコン酸化膜 2 の厚みよりも小さくすることにより、シリコン酸化膜 2 で確実にエッチングを止めることができる。因みに、上記エッチング後に、シリコン基板 1 上には、1 0 n

m程度の厚みのシリコン酸化膜2を残すことができる。

【0035】

次に、メモリセルトランジスタの閾値電圧を所望の値とするために、レジストパターン6をマスクとしてボロン等の不純物注入（チャネルドーピング）を行なう。なお、この不純物注入は、シリコン窒化膜5のドライエッチングの前に行なってもよい。

【0036】

$H_2SO_4/H_2O_2$ 液等でレジストパターン6を除去した後、図8に示すように、シリコン窒化膜5をマスクとしてHF処理を行なうことによりメモリセル領域上のシリコン酸化膜2を除去する。それにより、メモリセル領域におけるシリコン基板1の主表面が露出する。

【0037】

従来プロセスにおいても、メモリセル領域のシリコン酸化膜2を先に除去し、周辺回路領域のシリコン酸化膜2を後で除去するプロセスはあった。しかし、従来プロセスでは、フォトリジストをマスクとしてHF処理を行わなければならなかった。

【0038】

この場合、フォトリジストとシリコン酸化膜2との密着性が不十分であるので、本来エッチングされては困るレジスト下部にHFが染み込むという問題があった。また、HFによるエッチング後の表面乾燥工程において、レジストがあるためにイソプロピルアルコール等の有機溶剤による乾燥が行なえず、ウェハ表面にシミが発生しやすいという問題もあった。

【0039】

しかし、本発明では、HFでエッチングされないシリコン窒化膜5をマスクとしてシリコン酸化膜2をエッチングしているので、従来プロセスの場合のようなHFの染み込みの問題は発生せず、また乾燥時のシミも発生しない。

【0040】

次に、図9に示すように、9nm程度のゲート酸化膜（トンネル酸化膜）7を熱酸化により形成し、下層ゲート（第1ゲート）となる100nm程度のドーピング

トアモルファスシリコン 8 と、200 nm 程度のシリコン窒化膜 9 とを堆積する。

#### 【0041】

このとき、メモリセル領域におけるシリコン基板 1 の主表面は露出しているので 9 nm 程度酸化されるが、周辺回路領域はシリコン窒化膜 5 で覆われているので、シリコン窒化膜 5 が酸化防止膜として働き、周辺回路領域のトレンチ分離は酸化されない。つまり、周辺回路領域のトレンチ分離は、トンネル酸化時の酸化ストレスを受けない。したがって、周辺回路領域におけるトレンチ分離領域内のシリコン酸化膜 4 が酸化されることによって膨張することはない。

#### 【0042】

次に、シリコン窒化膜 9 上にレジストパターンを形成し、これをマスクとしてシリコン窒化膜 9 をエッチングする。その後、レジストパターンを除去する。そして、図 10 に示すように、パターニングされたシリコン窒化膜 9 をマスクとしてドーフトアモルファスシリコン 8 をエッチングする。それにより、AND 型不揮発性半導体記憶装置の下層ゲートの L 方向（ワード線方向：WL 方向）が形成される。

#### 【0043】

次に、メモリセルトランジスタの  $n^-$  拡散層 17 形成のために As を 40 keV で  $2 \times 10^{14}$  程度注入する。TEOS (Tetra Etyl Ortho silicate) 酸化膜を 50 nm 堆積後、異方性エッチングを施してサイドウォール絶縁膜 18 を形成する。このサイドウォール絶縁膜 18 をマスクとして As を 40 keV で  $1 \times 10^{15}$  程度注入する。それにより、LDD (Lightly Doped Drain) 構造を形成する。

#### 【0044】

次に、CVD 法によりシリコン酸化膜を 600 nm 程度堆積し、これに CMP 処理を施し、酸化膜のドライエッチングを行ない、熱燐酸により下層ゲート上のシリコン窒化膜 9 を除去する。それにより、図 11 に示すように、シリコン酸化膜 20 が形成される。

#### 【0045】

シリコン酸化膜 20 を覆うように 40 nm 程度のドーフトアモルファスシリコ

ン 1 0 を堆積し、レジストをマスクとしてこのドーフトアモルファスシリコン 1 0 をエッチングする。それにより、図 1 2 に示すように、下層ゲートにフィンを付与する。

#### 【 0 0 4 6 】

次に、CVD 法により、酸化膜、窒化膜、酸化膜をそれぞれ 6 nm、9 nm、6 nm 堆積する。この 3 層構造の絶縁膜は、AND 型不揮発性半導体記憶装置の ONO 膜 1 1 となる。

#### 【 0 0 4 7 】

図 1 2 に示すように、ONO 膜 1 1 上に、周辺回路領域上に開口を有するレジストパターン 1 2 を形成する。このレジストパターン 1 2 をマスクとしてドライエッチングを行なうことにより、周辺回路領域上の ONO 膜 1 1 とドーフトアモルファスシリコン 1 0 とを除去する。本発明の場合、この時点で周辺回路領域における活性領域上には、シリコン窒化膜 5 とシリコン酸化膜 2 とが残っている。

#### 【 0 0 4 8 】

次に、レジストパターン 1 2 をマスクとしてドライエッチングを行なうことにより、周辺回路領域上のシリコン窒化膜 5 を除去する（図 1 3 参照）。このとき、シリコン酸化膜よりもシリコン窒化膜の方がエッチングレートが速い条件でドライエッチングを行なうので、ドライエッチング後も膜厚が減じられたシリコン酸化膜 2 が周辺回路領域に残っている。その後、図 1 3 に示すように、HF 処理によって、周辺回路領域の活性領域上のシリコン酸化膜 2 を除去する。

#### 【 0 0 4 9 】

次に、 $H_2SO_4/H_2O_2$  液等でレジストパターン 1 2 を除去した後、図 1 4 に示すように熱酸化により周辺回路のトランジスタのゲート酸化膜 1 3 を形成する。このとき、メモリセル領域は、ONO 膜 1 1 で覆われているので、酸化されない。その後、ドーフトアモルファスシリコン膜 1 4、WSi 膜 1 5、シリコン酸化膜 1 6 を順次堆積する。

#### 【 0 0 5 0 】

次に、周辺回路領域のトランジスタのゲート（第 2 ゲート）のパターニングおよびメモリセルトランジスタの上層ゲートの W 方向（データ線方向：ビット線方



向)のパターニングのためのレジストパターンを形成し、このレジストパターンをマスクとしてシリコン酸化膜16をエッチングする。

【0051】

その後、レジストパターンを除去し、シリコン酸化膜16をマスクとしてドープトアモルファスシリコン膜14およびWSi膜15をエッチングする。それにより、周辺回路領域のトランジスタのゲートと、メモリセルトランジスタの上層ゲートとを形成する。

【0052】

次に、メモリセル領域上に開口を有するレジストパターンを形成し、このレジストパターンをマスクとしてドライエッチングを行なう。それにより、メモリセルトランジスタの下層ゲートのW方向のパターニングを行なう。その後、レジストパターンを除去する。

【0053】

次に、周辺回路領域のpチャネルトランジスタとnチャネルトランジスタのソース/ドレイン注入を行ない、図14に示すように、周辺回路領域のトランジスタを形成する。

【0054】

その後、層間絶縁膜21～26、各トランジスタを電氣的に接続するためのA1配線27、28等を形成し、図15に示すAND型不揮発性半導体記憶装置を形成する。

【0055】

(実施の形態2)

次に、本発明の実施の形態2について説明する。本実施の形態2では、シリコン窒化膜5の代わりにオキシナイトライド膜(SiON)を用いる。

【0056】

この場合にも、シリコン窒化膜5の場合と同様に、周辺回路領域を覆うオキシナイトライド膜5が酸化防止膜として働き、メモリトランジスタのゲート酸化膜形成時に周辺回路領域のトレンチ分離は酸化されない。したがって、周辺回路領域のトレンチ分離領域内に埋め込まれたシリコン酸化膜が上記の酸化によって膨

張することはない。

【0057】

なお、耐酸化性を有する絶縁膜であれば、オキシナイトライド膜以外の膜を採用可能である。また、耐酸化性を有する膜を一部に有する絶縁膜を、本発明の耐酸化性膜として使用することもできる。

【0058】

(実施の形態3)

次に、図16～図19を用いて、本発明の実施の形態3について説明する。図16～図19は、本発明のAND型不揮発性半導体記憶装置におけるメモリセルブロックの平面図である。

【0059】

図16に示すように、AND型不揮発性半導体記憶装置のメモリセルブロック内では、素子分離パターンは、単純なラインアンドスペースパターンである。なお、メモリセルブロック内には、一部周辺回路領域が存在する。

【0060】

図16に示すように、縦方向（各トレンチ分離領域の長手方向）に基準がないので、たとえば図12に示される段階でONO膜11が図16の横方向にパターニングされるまで、メモリセルブロック内におけるメモリセル領域と周辺回路領域間の境界の判別がつかなかった。

【0061】

したがって、図6の段階におけるレジストパターン6の位置決めが困難で、レジストパターン6を精度良く形成できなかった。

【0062】

そこで、本発明では、図17に示すように、ダミー領域におけるトレンチ分離領域4a間に、マスク膜の位置決め用マーク30を形成する。つまり、位置決め用マーク30は、メモリセル領域と周辺回路領域の境界領域に形成される。

【0063】

なお、上記ダミー領域（境界領域）は、有効アレイ領域に隣接して設けられ、メモリセルブロックの両端に位置する。このダミー領域の内部には、トレンチ分

離領域 4 a が 2 本以上存在する。

【 0 0 6 4 】

図 1 7 に示す態様では、隣り合うトレンチ分離領域 4 a を接続するトレンチを形成し、このトレンチ内部にシリコン酸化膜を埋め込むことで、位置決め用マーク 3 0 を形成している。しかし、マスク膜の位置決め用マークとして使用できるパターンであれば、これ以外の任意のパターンを採用可能である。

【 0 0 6 5 】

たとえば、トレンチ分離領域 4 a 間に存在するのであれば、必ずしもトレンチ分離領域 4 a 間を接続する必要はなく、また位置決め用マーク 3 0 の形状も任意に選択可能である。

【 0 0 6 6 】

上記のような位置決め用マーク 3 0 を設けることにより、図 6 のレジストパターン 6 の位置決めを精度良く行なえ、レジストパターン 6 を精度良く形成できる。また、図 1 7 に示すようにダミー領域のトレンチ分離領域 4 a を接続したとしても、実回路には何ら悪影響を及ぼさない。

【 0 0 6 7 】

図 1 8 に示すように、レジストパターン 6 における選択ゲート部側の端部に沿う境界線 3 2 は、レジストパターン 1 2 における選択ゲート部側の端部に沿う境界線 3 3 よりもメモリセル領域側に位置する。また、境界線 3 2, 3 3 は、下層ゲートの L 方向形成用パターン 3 4 の一端のくびれ部に沿う境界線 3 1 よりも周辺回路領域側に位置する。なお、図 1 8 において、実線で囲まれた領域が、上記下層ゲートの L 方向形成要レジストパターンの開口部分に対応する。また、上記したレジストパターン 6 の開口部分は境界線 3 2 よりメモリセル側に位置し、またレジストパターン 1 2 の開口部分は境界線 3 3 よりもメモリセルの反対側に位置する。

【 0 0 6 8 】

レジストパターン 1 2 の一端が上述のようにレジストパターン 6 の一端よりも周辺回路領域側に位置するので、シリコン窒化膜 5 は、最終的に境界線 3 2, 3 3 間の領域に残ることとなる。

## 【0069】

境界線32, 33の位置関係が逆転した場合、境界線32, 33間の領域内に位置するトレンチ分離領域は、メモリセルトランジスタのトンネル酸化と、周辺回路領域のゲート酸化との2回の酸化を受けることとなり、上記トレンチ分離領域近傍で結晶欠陥が発生しやすくなる。

## 【0070】

しかし、境界線33を境界線32よりも周辺回路領域側に配置することにより、境界線32, 33間の領域内に位置するトレンチ分離領域が、上記のように2度酸化されることを回避できる。それにより、上記トレンチ分離領域近傍での結晶欠陥の発生を抑制することができる。

## 【0071】

また、境界線31よりもメモリセル領域側に位置する領域には、メモリセルトランジスタの閾値決定用の不純物注入を必ず行なわなければならないので、境界線32は、境界線31よりも周辺回路領域側に存在しなければならない。

## 【0072】

図19に示すように、メモリセルトランジスタのワード線（上層ゲート）37のW方向パターニング時に、選択ゲート35およびダミーゲート36もパターニングされる。それにより、メモリセル領域と周辺回路領域を最終的に分けるダミーゲート36が境界領域に形成される。

## 【0073】

このとき、ダミーゲート36の両端を、図19に示すように境界線31, 33よりも外側でパターニングする。そのため、シリコン窒化膜5は、最終的にはダミーゲート36の下にのみ存在することとなる。したがって、メモリセル領域内および周辺回路領域内のトランジスタには悪影響を及ぼさない。

## 【0074】

以上のように本発明の実施の形態について説明を行なったが、今回開示した実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【 0 0 7 5 】

## 【発明の効果】

以上説明したように、本発明によれば、第1トランジスタの第1ゲート酸化膜形成時に、第2領域内のトレンチ分離領域が酸化されるのを抑制することができるので、従来例のようにトレンチ分離領域が過度に酸化されるのを抑制することができる。それにより、上記のような過度の酸化に起因して基板に結晶欠陥が発生するのを抑制することができ、信頼性の高い半導体装置が得られる。

## 【図面の簡単な説明】

- 【図1】 本発明の半導体装置の製造工程の第1工程を示す断面図である。
- 【図2】 本発明の半導体装置の製造工程の第2工程を示す断面図である。
- 【図3】 本発明の半導体装置の製造工程の第3工程を示す断面図である。
- 【図4】 本発明の半導体装置の製造工程の第4工程を示す断面図である。
- 【図5】 本発明の半導体装置の製造工程の第5工程を示す断面図である。
- 【図6】 本発明の半導体装置の製造工程の第6工程を示す断面図である。
- 【図7】 本発明の半導体装置の製造工程の第7工程を示す断面図である。
- 【図8】 本発明の半導体装置の製造工程の第8工程を示す断面図である。
- 【図9】 本発明の半導体装置の製造工程の第9工程を示す断面図である。
- 【図10】 本発明の半導体装置の製造工程の第10工程を示す断面図である。
- 【図11】 本発明の半導体装置の製造工程の第11工程を示す断面図である。
- 【図12】 本発明の半導体装置の製造工程の第12工程を示す断面図である。
- 【図13】 本発明の半導体装置の製造工程の第13工程を示す断面図である。
- 【図14】 本発明の半導体装置の製造工程の第14工程を示す断面図である。
- 【図15】 本発明の半導体装置を示す断面図である。
- 【図16】 本発明の半導体装置の分離領域を示す平面図である。

【図 17】 本発明の半導体装置における位置決め用マークを示す平面図である。

【図 18】 本発明の半導体装置における下層ゲート L 方向形成用マスクパターンを示す平面図である。

【図 19】 本発明の半導体装置における上層ゲート、ダミーゲートおよび選択ゲートを示す平面図である。

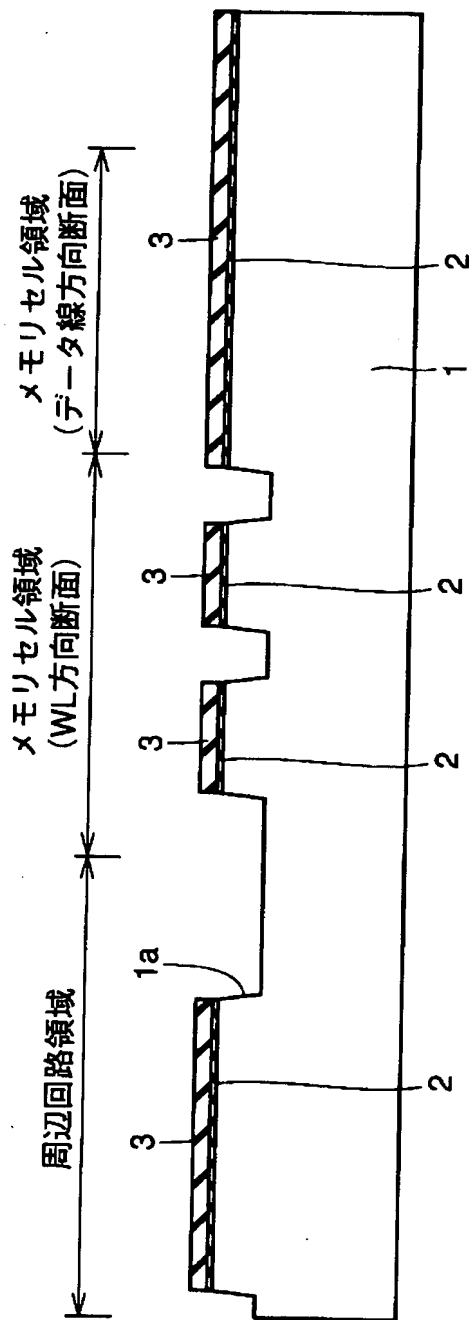
【符号の説明】

1 シリコン基板、1 a トレンチ、2, 4, 16, 20 シリコン酸化膜、3, 5, 9 シリコン窒化膜、4 a ダミートレンチ分離領域、6, 12 レジストパターン、8, 10, 14 ドープトアモルファスシリコン、11 ONO 膜、7, 13 ゲート酸化膜、15 WSi 膜、17  $n^-$ 拡散層、18 サイドウォール絶縁膜、19  $n^+$ 拡散層、21~26 層間絶縁膜、27, 28 Al 配線、29 活性領域、30 位置決め用マーク、31~33 境界線、34 ゲート形成用パターン、35 選択ゲート、36 ダミーゲート、37 ワード線。

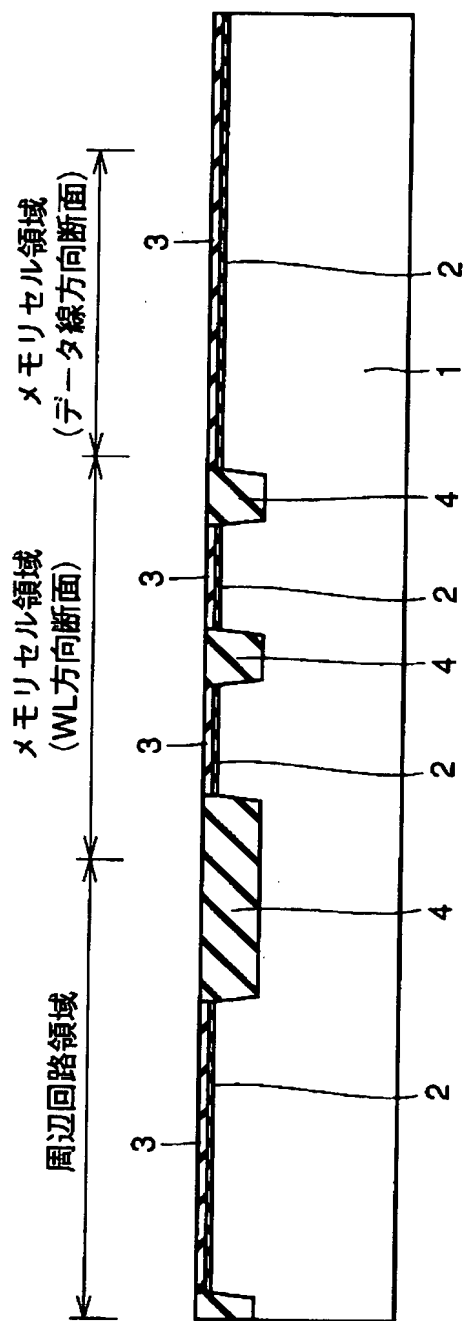
【書類名】

図面

【図 1】

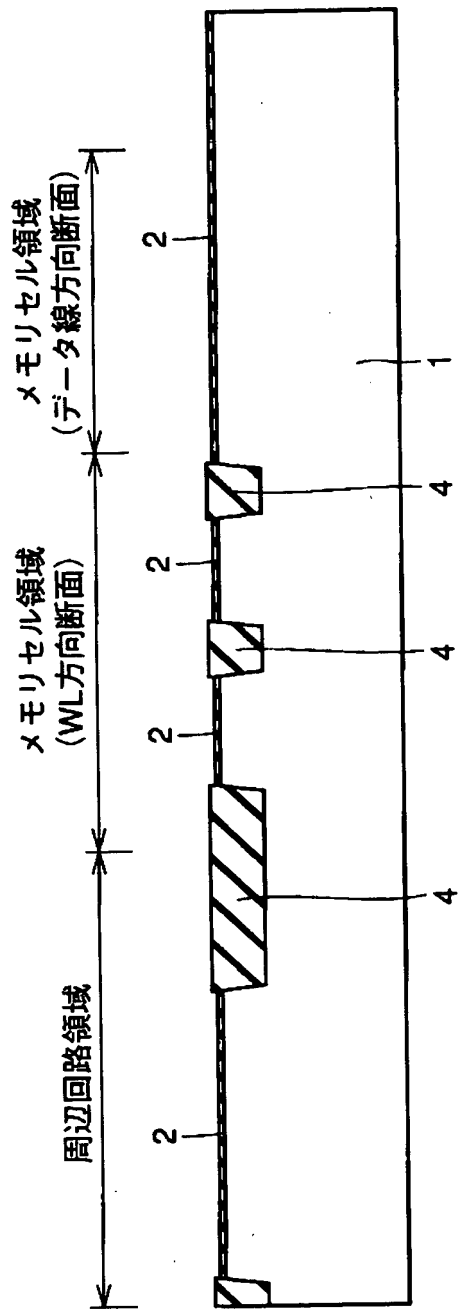


【図 2】

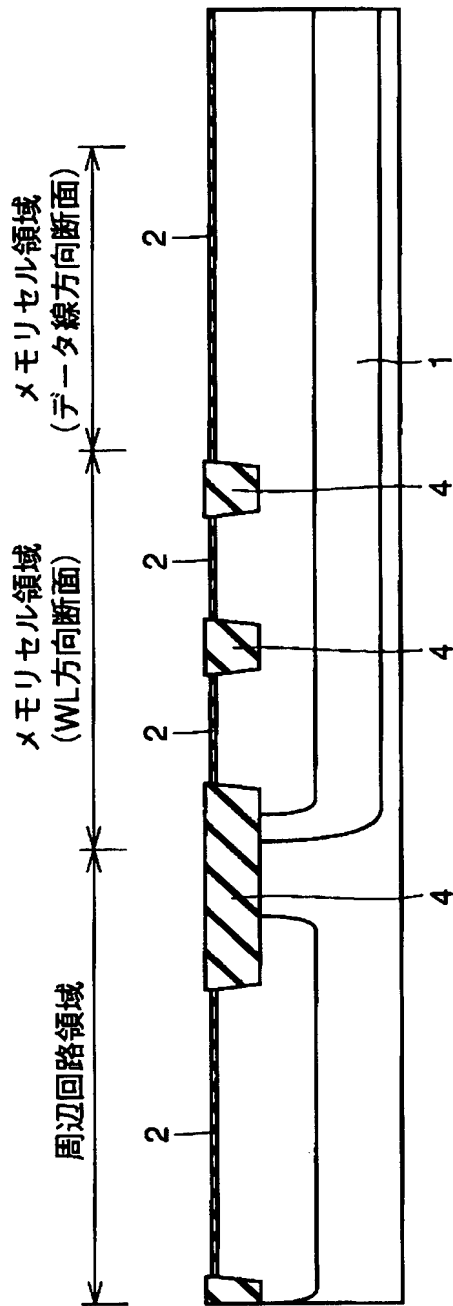




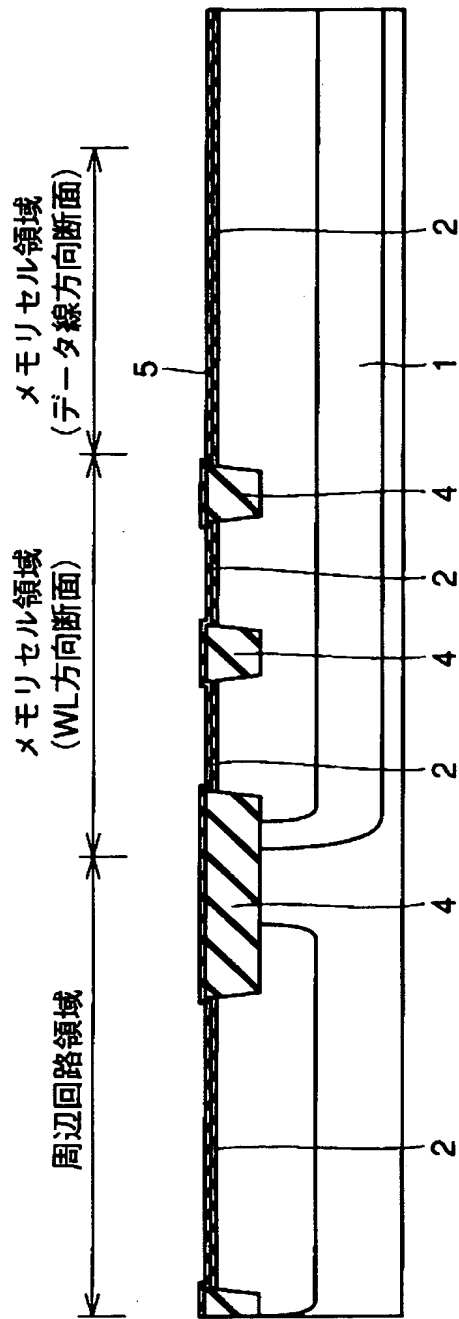
【図3】



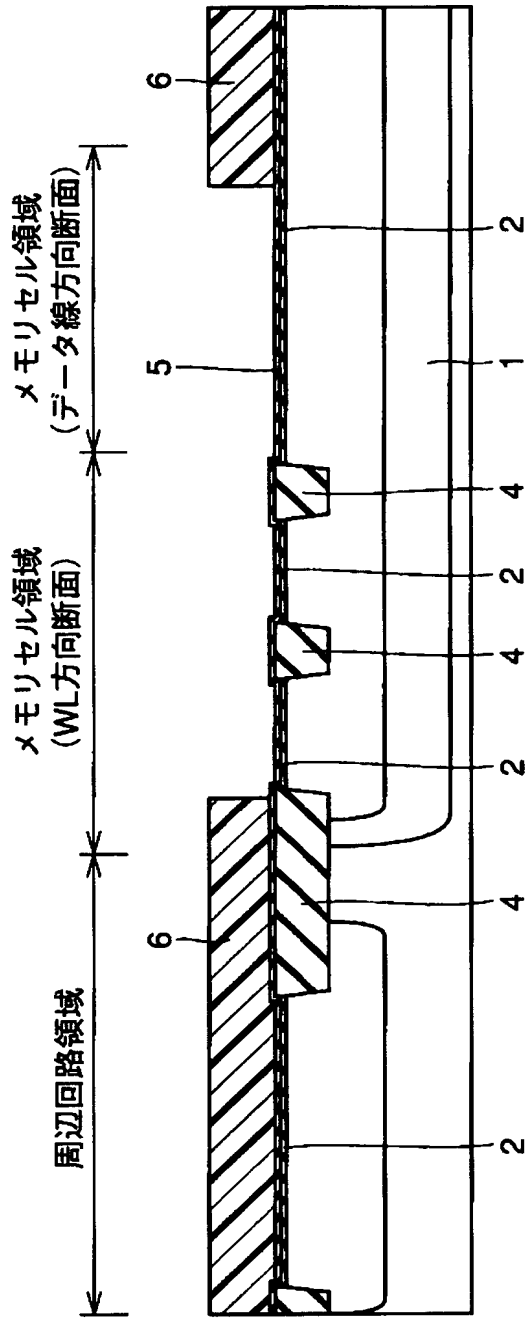
【図 4】



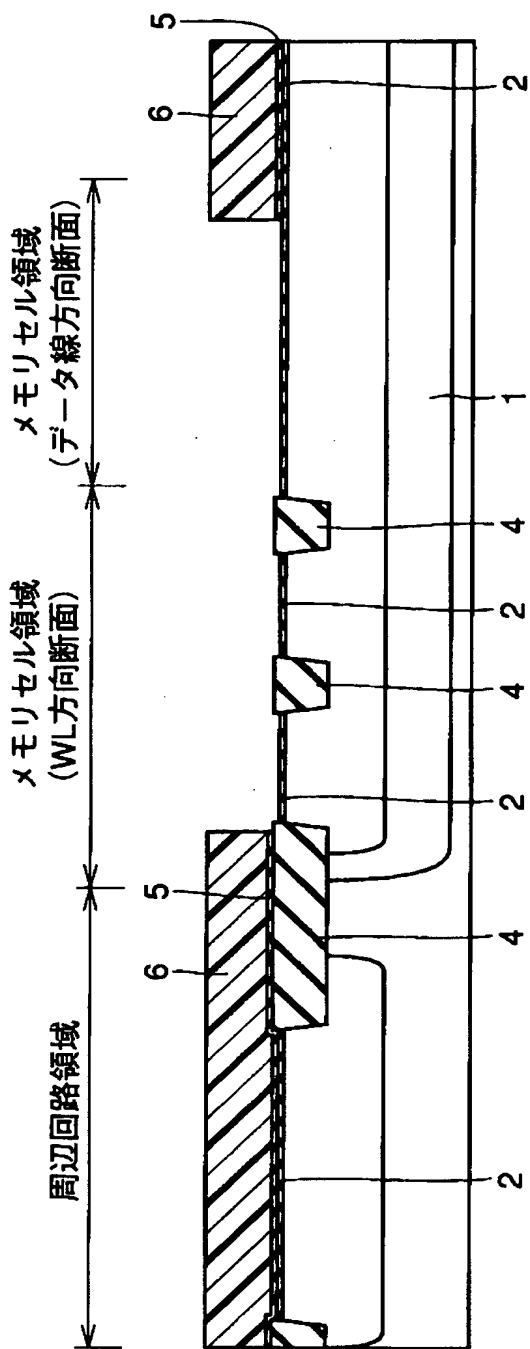
【図5】



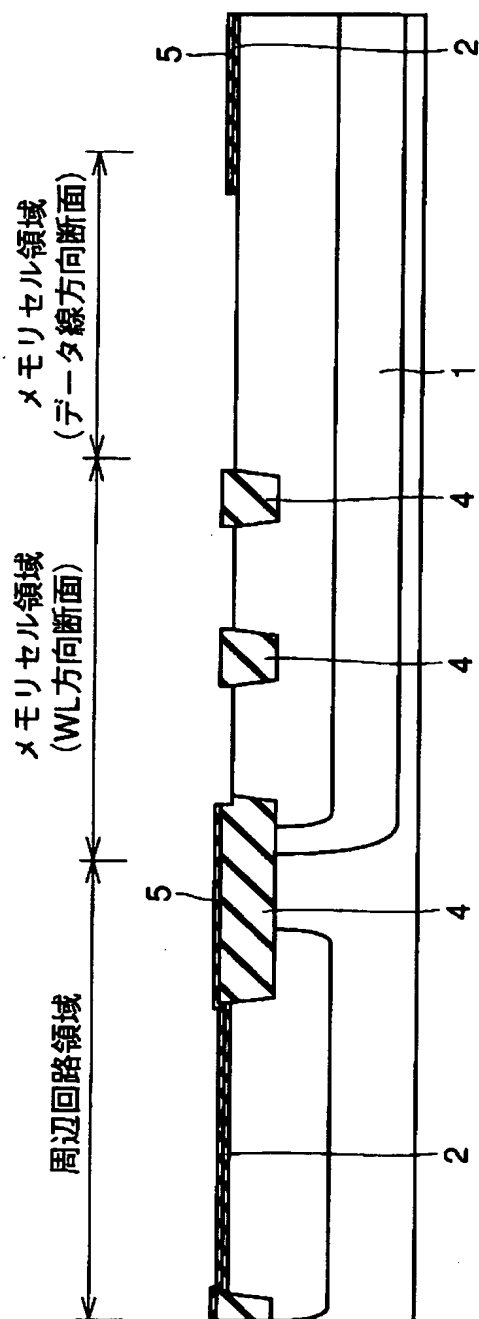
【図 6】



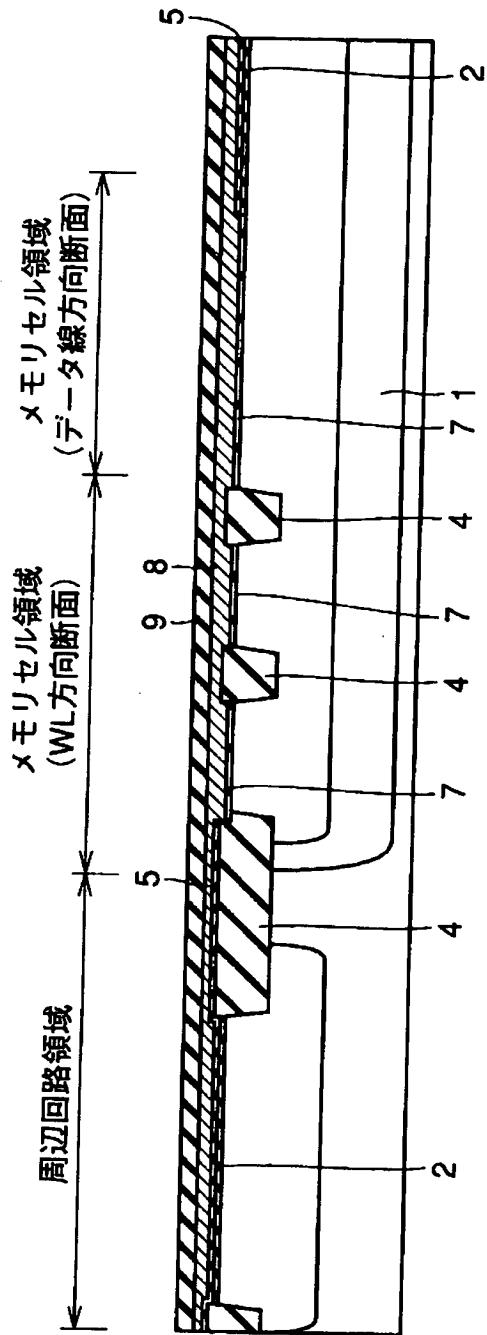
【図 7】



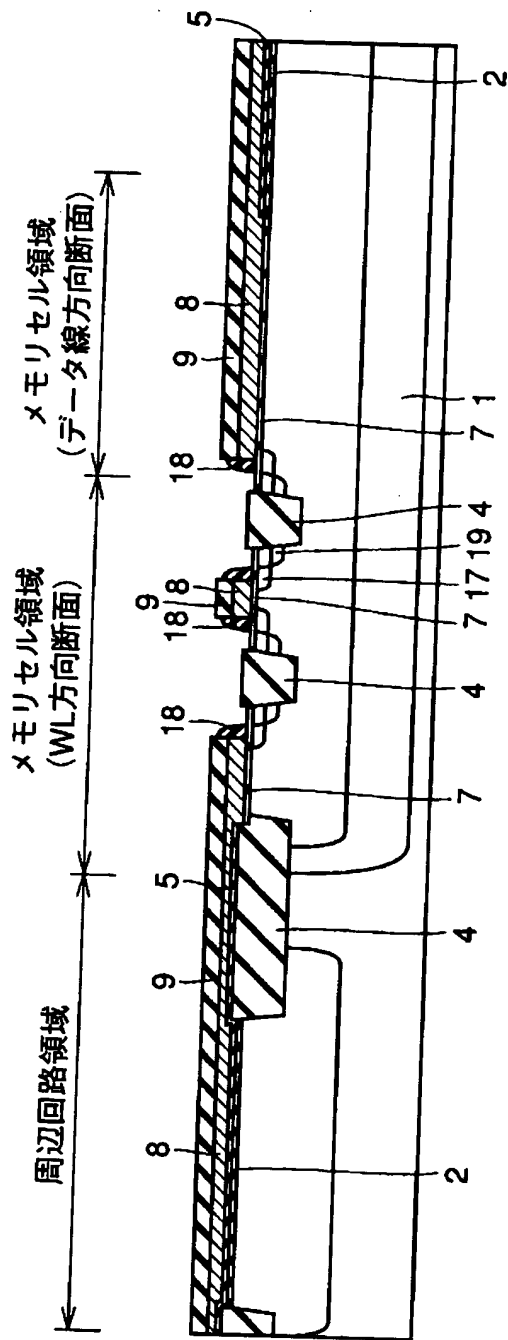
【図 8】



【図9】

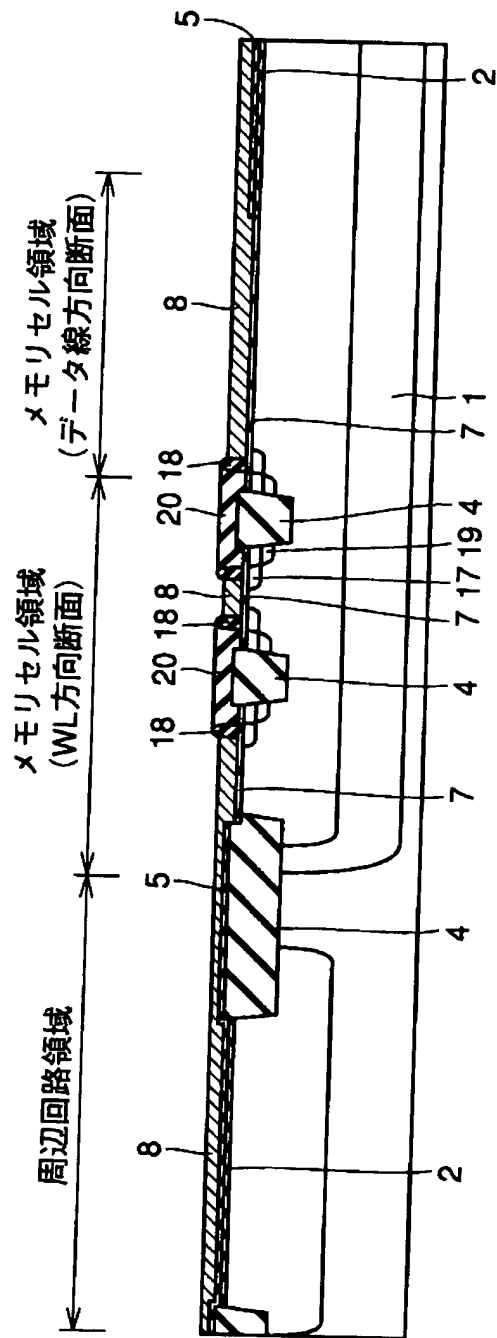


【図10】

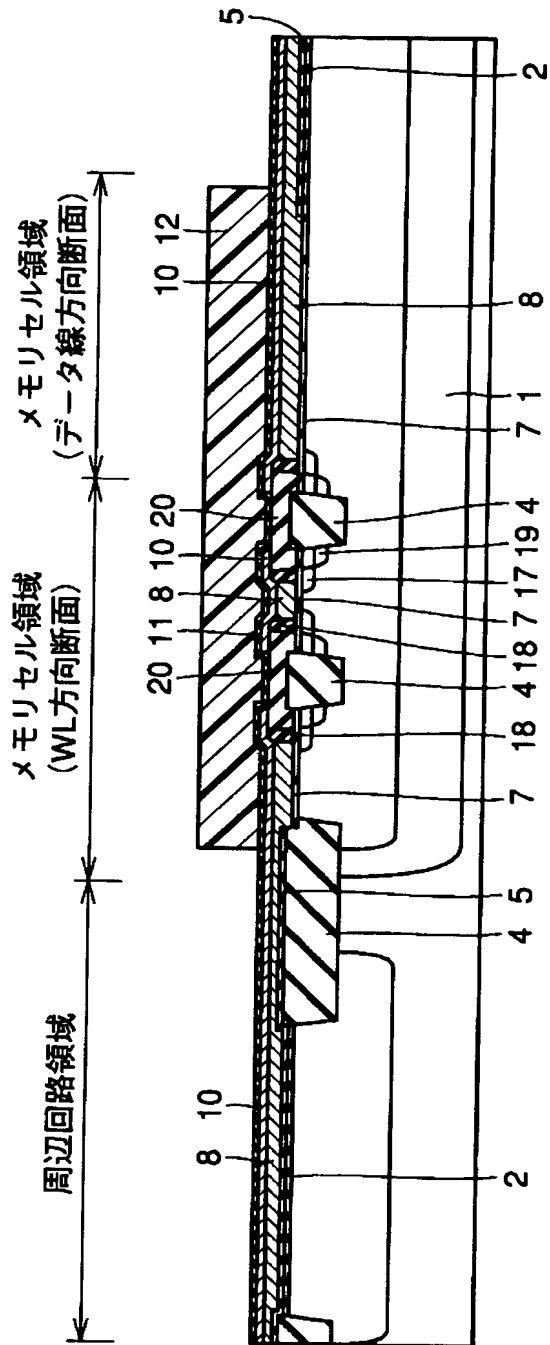




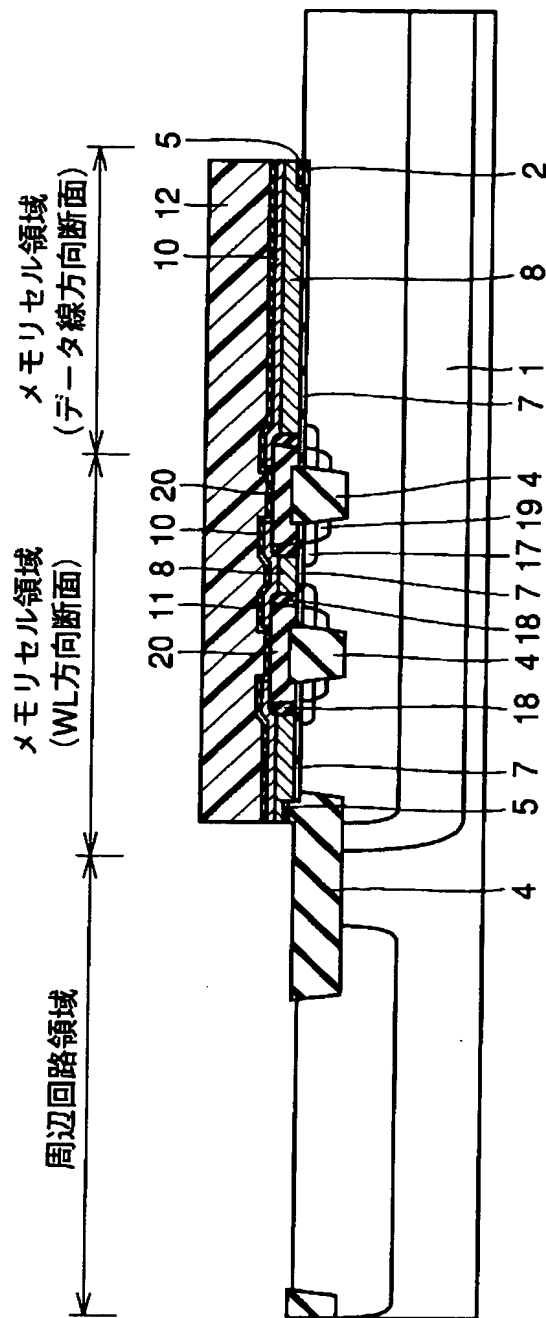
【図 11】



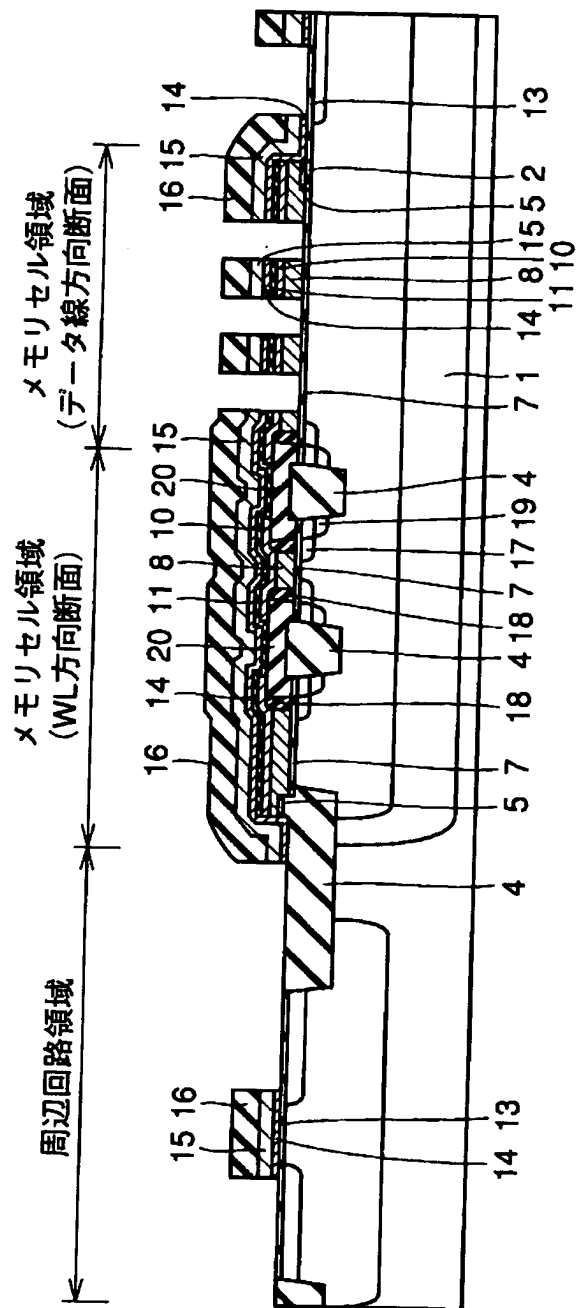
【図 12】



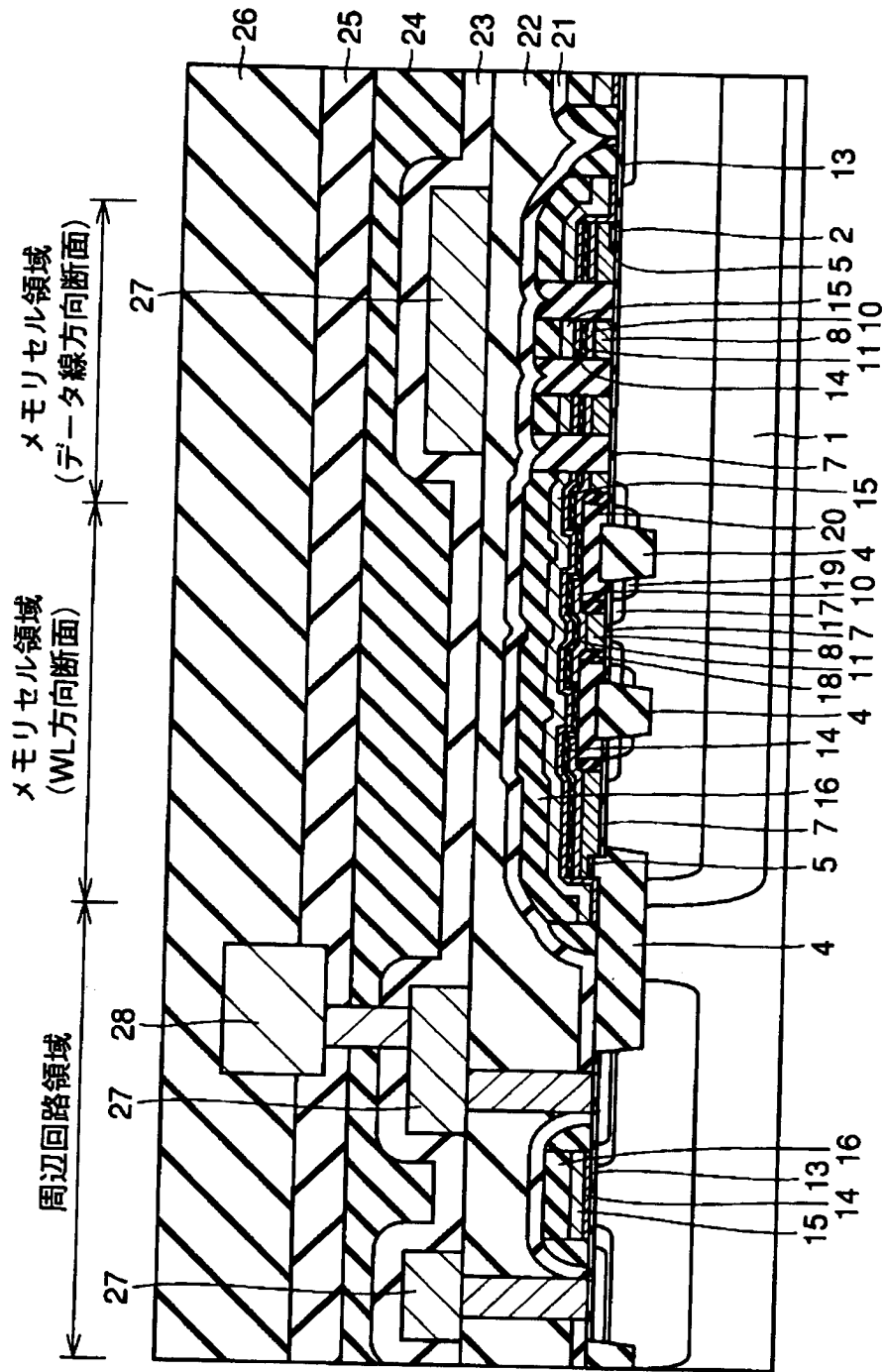
【図13】



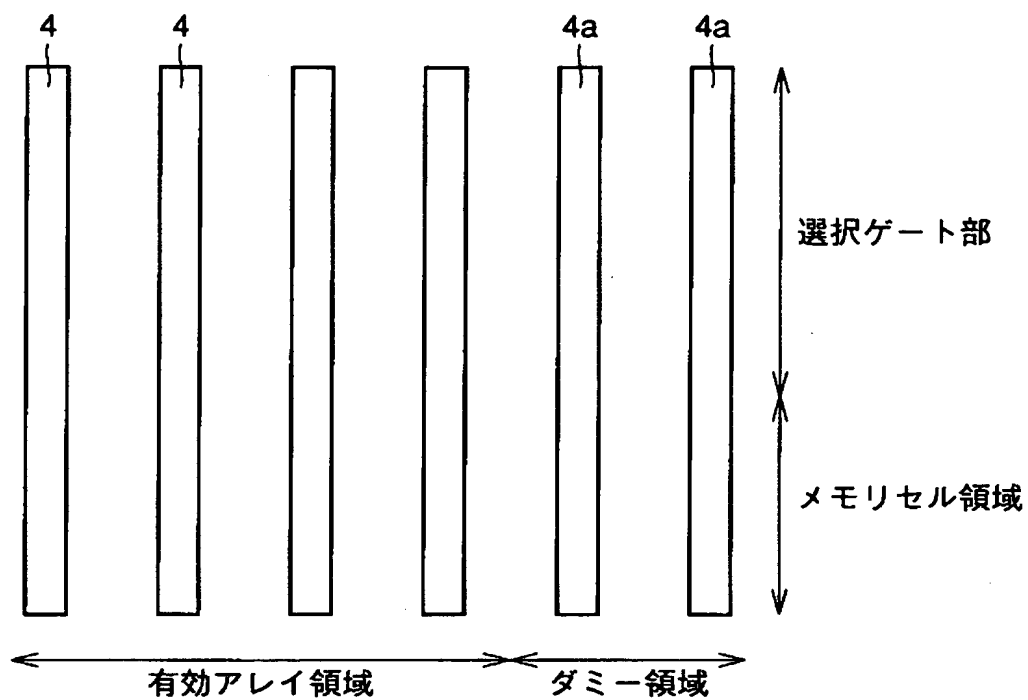
【図 14】



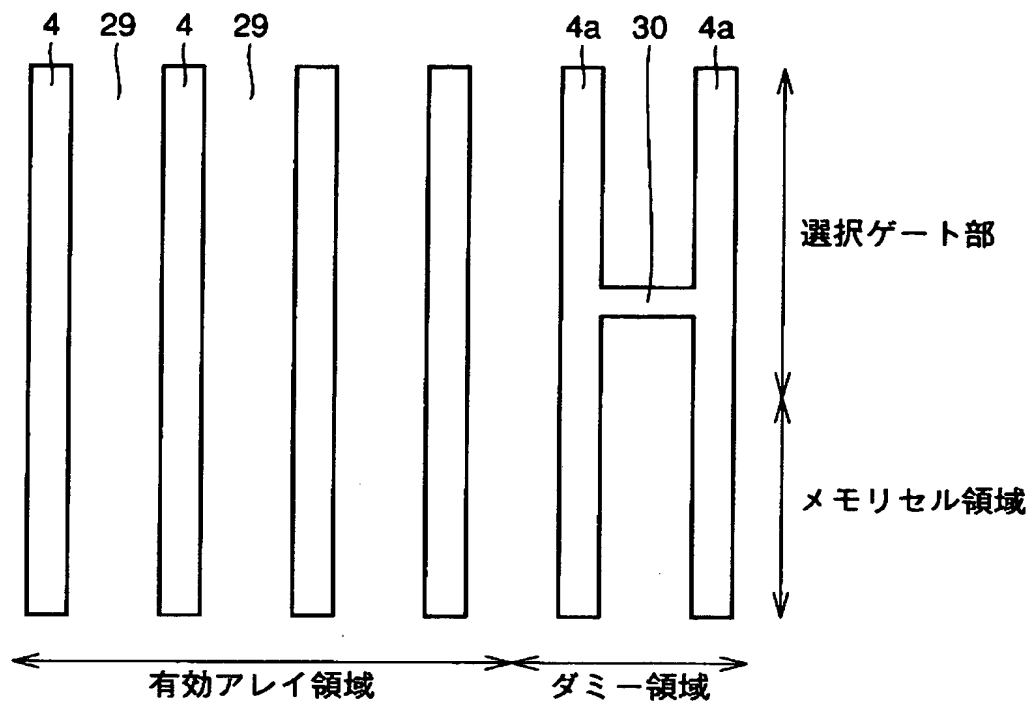
【図15】



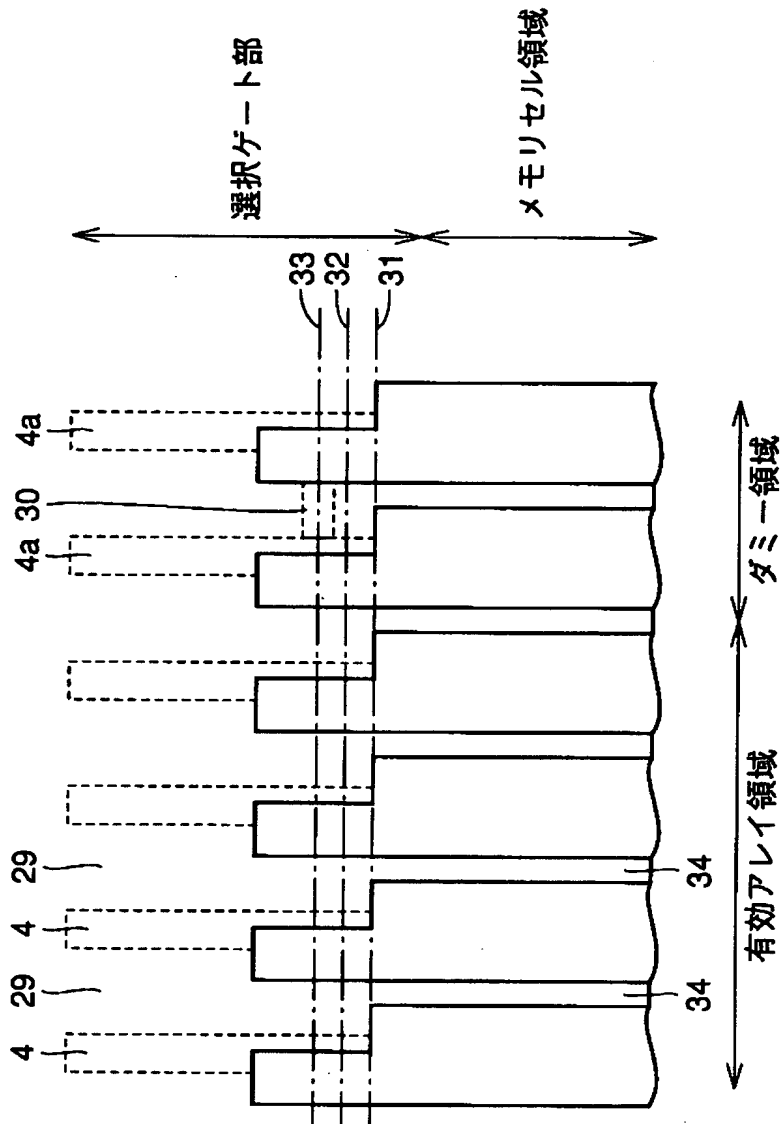
【図 1 6】



【図 1 7】

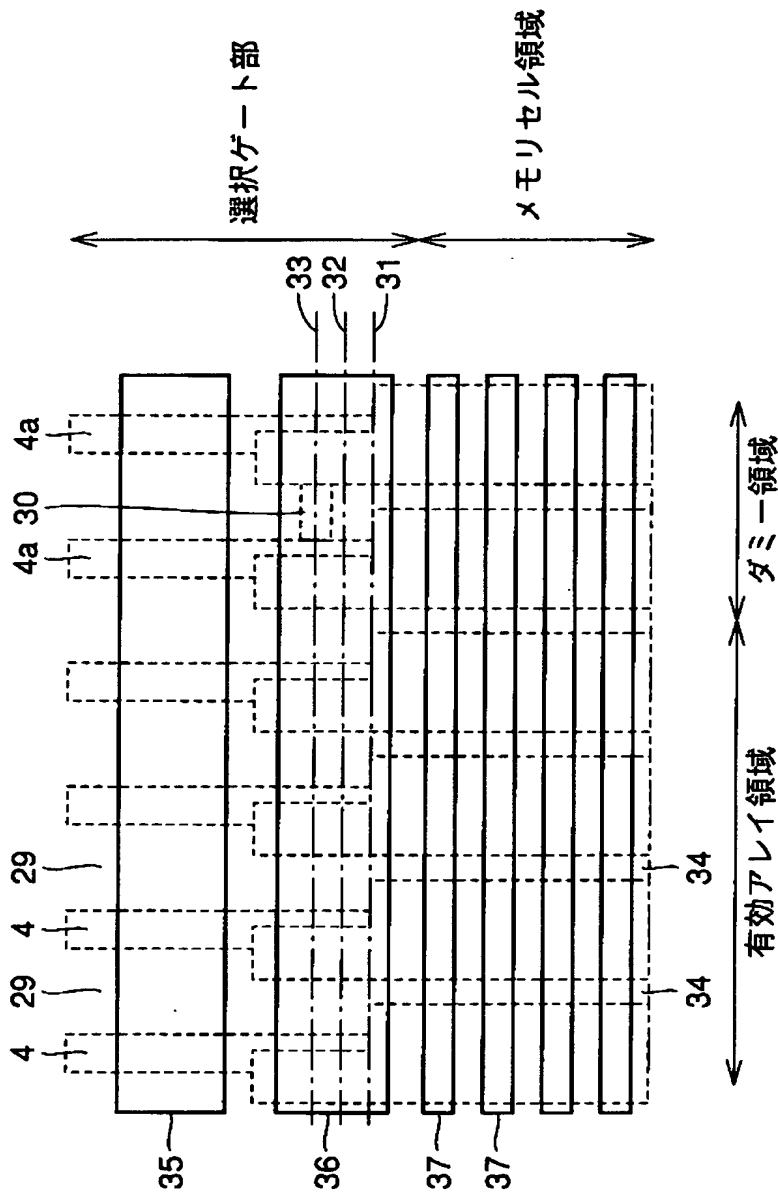


【図 18】





【図 19】



【書類名】            要約書

【要約】

【課題】    トレンチ分離領域と、2種類以上の膜厚のゲート酸化膜とを有する半導体装置において、トレンチ分離領域が受ける酸化量を低減する。

【解決手段】    半導体基板1の主表面にトレンチ分離領域を形成する。トレンチ分離領域を覆うようにシリコン窒化膜5およびシリコン酸化膜2を形成し、これらをパターニングしてメモリセル領域を露出させる。周辺回路領域をシリコン窒化膜5で覆った状態で、メモリセル領域にゲート酸化膜7を形成する。このゲート酸化膜7上に、第1ゲートを形成する。

【選択図】            図9

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社